

10/596727

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年7月14日 (14.07.2005)

PCT

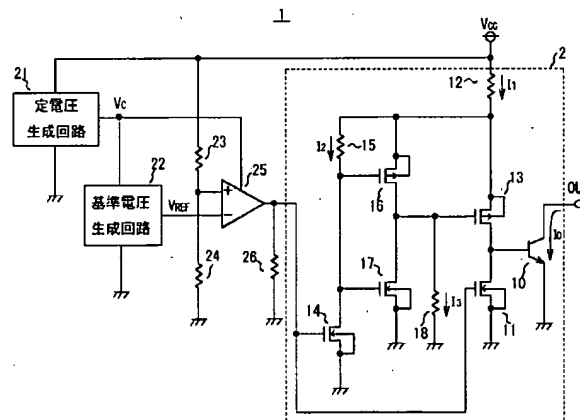
(10) 国際公開番号
WO 2005/064795 A1

- (51) 国際特許分類⁷: H03K 17/22, 19/082 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/018997 (75) 発明者/出願人 (米国についてのみ): 安坂 信 (YA-SUSAKA, Makoto) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内 Kyoto (JP).
(22) 国際出願日: 2004年12月20日 (20.12.2004) (74) 代理人: 藤河 恒生 (FUJIKAWA, Tsuneo); 〒5202153 滋賀県大津市一里山四丁目9番82号 こなん特許事務所 Shiga (JP).
(25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2003-435187 2003年12月26日 (26.12.2003) JP
(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2 1 番地 Kyoto (JP).

[続葉有]

(54) Title: SIGNAL OUTPUT CIRCUIT AND POWER SOURCE VOLTAGE MONITORING DEVICE USING THE SAME

(54) 発明の名称: 信号出力回路及びそれを有する電源電圧監視装置



21... CONSTANT VOLTAGE GENERATION CIRCUIT
22... REFERENCE VOLTAGE GENERATION CIRCUIT

(57) Abstract: There is provided a signal output circuit capable of reducing the current consumption while assuring a base current of the output transistor of an NPN-type bipolar transistor. The signal output circuit (2) includes: an output transistor (10) of the NPN-type bipolar transistor; a ground side output control transistor (11) for turning the output transistor OFF when it is turned ON itself; a base current supply resistance element (12) for supplying current to the base of the output transistor (10); a power source side output control transistor (13) arranged between the base current supply resistance element (12) and the output transistor (10); a ground side current bypass transistor (14) which turns ON/OFF similarly as the ground side output control resistor (11) according to the input signal in such a manner that when it is ON, the current of the base current supply resistance element (12) flows in; and a current limit resistance element (15) arranged between the ground side current bypass transistor (14) and the base current supply resistance element (12).

(57) 要約: NPN型バイポーラトランジスタの出力トランジスタのベース電流を確保しつつ消費電流を低減させることができる信号出力回路を提供する。この信号出力回路2は、NPN型バイポーラトランジスタの出力トランジスタ10と、オンすると出力トランジスタ10をオフさせる接地側出力制御トランジスタ11と、出力トランジスタ10のベースに電流を供給するベース電流供給用抵抗素子12と、ベ

[続葉有]

WO 2005/064795 A1



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

ース電流供給用抵抗素子12と出力トランジスタ10のベースとの間に介装される電源側出力制御トランジスタ13と、入力信号に応じて接地側出力制御トランジスタ11と同様にオン・オフし、オンするとベース電流供給用抵抗素子12の電流を流し込む接地側電流バイパス用トランジスタ14と、接地側電流バイパス用トランジスタ14とベース電流供給用抵抗素子12との間に介装される電流制限用抵抗素子15と、を備えてなる。

明 細 書

信号出力回路及びそれを有する電源電圧監視装置

技術分野

- [0001] 本発明は、NPN型バイポーラトランジスタから出力信号を出力する信号出力回路、及びその信号出力回路から電源電圧監視信号を出力する電源電圧監視装置に関する。

背景技術

- [0002] 電子回路を含むシステムは、印加電圧である電源電圧による誤動作を防止するため、電源電圧が所定値より低いときにシステム動作を停止させるための電源電圧監視信号(リセット信号)を出力する電源電圧監視装置(リセット装置)が広く用いられている(例えば特許文献1)。
- [0003] 図2は従来の電源電圧監視装置である。この電源電圧監視装置101は、監視すべき電源電圧 V_{CC} が所定値より低いときにそれを示す電源電圧監視信号を出力端子OUTに出力する信号出力回路102と、電源電圧 V_{CC} を分割する直列接続の抵抗素子23、24と、基準電圧 V_{REF} を生成する基準電圧生成回路22と、直列接続の抵抗素子23、24の中間点の電圧が非反転入力端子に入力され、基準電圧生成回路22が生成する基準電圧 V_{REF} が反転入力端子に入力されてそれらを比較し、比較出力が信号出力回路102の入力信号とされる比較器25と、比較器25の出力に接続され、他端が接地されたプルダウン用抵抗素子26と、基準電圧生成回路22と比較器25の電源端に所定の定電圧 V_C を供給する定電圧生成回路21と、から構成される。出力端子OUTの外部には、電源電圧監視信号を入力する他の電子回路(図示せず)が接続される。
- [0004] 信号出力回路102は、電源電圧監視信号を出力端子OUTに出力するNPN型バイポーラトランジスタの出力トランジスタと110と、入力信号に応じてオン・オフし、オンしたとき出力トランジスタ110のベースの電位を降下させて出力トランジスタ110をオフし、オフしたとき出力トランジスタ110のベースの電位を上昇させて出力トランジスタ110をオンするN型MOSTランジスタの接地側出力制御トランジスタ111と、入力電

源(電源電圧 V_{cc})から出力トランジスタ110のベースに電流を供給するベース電流供給用抵抗素子112と、から構成される。ここで、出力トランジスタ110がNPN型バイポーラトランジスタであるのは、出力端子OUTに接続される他の電子回路(図示せず)へ入力される接地側の電圧を確実に接地電位近くに降下させるためである。

[0005] また、電源電圧監視装置101の基準電圧 V_{REF} (例えば0.7V)は、高精度が必要とされるため、基準電圧生成回路22は例えばバンドギャップ電圧源を用いて構成される。また、定電圧 V_c (例えば4V)は、基準電圧生成回路22や比較器25を安定して動作させるためのものであり、定電圧生成回路21は例えば直列接続のダイオードを主に含む比較的簡単な構成になっている。この定電圧生成回路21の出力は、入力される電源電圧 V_{cc} が定電圧 V_c 以下ならばハイインピーダンスとなり、従って比較器25の出力もハイインピーダンスとなり、信号出力回路102の入力信号はプルダウン用抵抗素子26により接地電位レベルに固定される。すなわち、基準電圧生成回路22や比較器25が動作するまで、出力トランジスタ110は確実にオンした状態となり、電源電圧監視信号は電源電圧 V_{cc} が所定値よりも低いことを示すことになる。そして、入力する電源電圧 V_{cc} が定電圧 V_c よりも高ければ、電源電圧監視装置101は以下に説明する動作をする。

[0006] 分割された電源電圧 V_{cc} の電圧(直列接続の抵抗素子23、24の中間点の電圧)が基準電圧 V_{REF} よりも低ければ、比較器25は比較出力としてローレベルを信号出力回路102に出力し、これにより接地側出力制御トランジスタ111はオフとなる。その結果、出力トランジスタ110はオンとなり、電源電圧監視信号は電源電圧 V_{cc} が所定値よりも低いことを示すことになる。

[0007] このとき、ベース電流供給用抵抗素子112に流れる電流 I_1 は出力トランジスタ110のベース電流となり、このベース電流を電流増幅率(h_{FE})倍した出力電流 I_o が出力トランジスタ110に流れる。出力電流 I_o は出力端子OUTを介して電源電圧監視信号として流れ、出力電流 I_o により他の電子回路(図示せず)の入力電圧は接地側に降下する。ここで、ベース電流供給用抵抗素子112の抵抗値は出力電流 I_o の値を考慮して決められる。例えば、必要な出力電流 I_o の値を2mAとし、上記の h_{FE} を200とすれば、出力トランジスタ110のベース電流は $10\mu A$ が必要になる。電源電圧 V_{cc} が10V

で出力トランジスタ110がオンするとすれば、ベース電流供給用抵抗素子112はほぼ $1\text{M}\Omega$ の抵抗値となる。

[0008] 分割された電源電圧 V_{CC} の電圧が基準電圧 V_{REF} よりも高ければ、比較器25は比較出力としてハイレベルを信号出力回路102に出力し、これにより接地側出力制御トランジスタ111はオンとなる。その結果、出力トランジスタ110のベースの電位が降下して出力トランジスタ110はオフとなり、電源電圧監視信号は電源電圧 V_{CC} が所定値よりも高いことを示すことになる。

[0009] このとき、ベース電流供給用抵抗素子112に流れる電流 I_1 は、接地側出力制御トランジスタ111に全て流れ込む。この電流 I_1 は、例えば上記の条件では、ほぼ $10\mu\text{A}$ である。

[0010] 特許文献1:特開平11-220370号公報

発明の開示

発明が解決しようとする課題

[0011] こうして、この電源電圧監視装置101は、電源電圧 V_{CC} を監視し、電源電圧 V_{CC} が所定値よりも低いと信号出力回路102の出力トランジスタ110がオンし、所定値より高いと出力トランジスタ110はオフする。

[0012] しかし、ベース電流供給用抵抗素子112に流れる電流 I_1 は、出力トランジスタ110がオンする場合は必要な電流であるが、オフする場合は無駄な消費電流となる。しかも、電源電圧 V_{CC} が上昇すれば更に消費電流は増加する。例えば上記の条件で、出力トランジスタ110がオン又はオフする電源電圧 V_{CC} の境界を 10V とし、電源電圧 V_{C} が 30V まで上昇し得るとすると、ベース電流供給用抵抗素子112に流れる無駄な電流 I_1 は $30\mu\text{A}$ となる。

[0013] 本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、NPN型バイポーラトランジスタの出力トランジスタの必要なベース電流を確保しつつ、消費電流を低減させることができる信号出力回路、及びそれを有する電源電圧監視装置を提供することにある。

課題を解決するための手段

[0014] 上記の課題を解決するために、本発明の望ましい実施形態に係る信号出力回路は

、出力信号を出力するNPN型バイポーラトランジスタの出力トランジスタと、入力信号に応じてオン・オフし、オンしたとき出力トランジスタのベースの電位を降下させて出力トランジスタをオフし、オフしたとき出力トランジスタのベースの電位を上昇させて出力トランジスタをオンする接地側出力制御トランジスタと、入力電源から出力トランジスタのベースに電流を供給するベース電流供給用抵抗素子と、ベース電流供給用抵抗素子と出力トランジスタのベースとの間に介装され、入力信号に応じて接地側出力制御トランジスタと逆にオフ・オンする電源側出力制御トランジスタと、入力信号に応じて接地側出力制御トランジスタと同様にオン・オフし、オンしたときベース電流供給用抵抗素子の電流を流し込み、オフしたときベース電流供給用抵抗素子の電流を流さないようにする接地側電流バイパス用トランジスタと、接地側電流バイパス用トランジスタとベース電流供給用抵抗素子との間に介装される電流制限用抵抗素子と、を備えてなる。

[0015] この信号出力回路は、望ましくは、接地側電流バイパス用トランジスタと電流制限用抵抗素子との間の電圧を入力し、その電圧を反転して電源側出力制御トランジスタを制御する反転回路を更に備えてなる。

[0016] この信号出力回路は、更に望ましくは、前記反転回路の出力に接続される第2の電流制限用抵抗素子を更に備えてなる。

[0017] この信号出力回路は、望ましくは、接地側出力制御トランジスタと電源側出力制御トランジスタと接地側電流バイパス用トランジスタとはMOSトランジスタである。

[0018] この信号出力回路は、望ましくは、ベース電流供給用抵抗素子と電流制限用抵抗素子と第2の電流制限用抵抗素子とは抵抗である。

[0019] 本発明の望ましい実施形態に係る電源電圧監視装置は、上述の信号出力回路を有する電源電圧監視装置であって、電源電圧を分割する直列接続の抵抗素子と、基準電圧を生成する基準電圧生成回路と、前記直列接続の抵抗素子の中間点の電圧と前記基準電圧生成回路が生成する基準電圧とを比較し、比較出力が信号出力回路の入力信号とされる比較器と、を備え、信号出力回路の出力信号を電源電圧監視信号として出力する。

発明の効果

[0020] 本発明の望ましい実施形態に係る信号出力回路及びそれを有する電源電圧監視装置は、信号出力回路の出力トランジスタがオフのときに電流制限用抵抗素子を通してベース電流供給用抵抗素子からの電流を接地側電流バイパス用トランジスタに流し込むので、消費電流を低減させることが可能になる。

図面の簡単な説明

[0021] [図1]本発明の実施形態に係る信号出力回路及びそれを有する電源電圧監視装置の回路図である。

[図2]従来の信号出力回路及びそれを有する電源電圧監視装置の回路図である。

符号の説明

- [0022]
- 1 電源電圧監視装置
 - 2 信号出力回路
 - 10 出力トランジスタ
 - 11 接地側出力制御トランジスタ
 - 12 ベース電流供給用抵抗素子
 - 13 電源側出力制御トランジスタ
 - 14 接地側電流バイパス用トランジスタ
 - 15 電流制限用抵抗素子
 - 16、17 反転回路を構成するトランジスタ
 - 18 第2の電流制限用抵抗素子
 - 22 基準電圧生成回路
 - 23、24 入力する電源電圧 V_{cc} を分割する直列接続の抵抗素子
 - 25 比較器

発明を実施するための最良の形態

[0023] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の実施形態である信号出力回路及びそれを有する電源電圧監視装置の回路図である。この電源電圧監視装置1は、従来の電源電圧監視装置101とは信号出力回路が異なっており、その他は電源電圧監視装置101と実質的に同じ構成要素を備える。すなわち、電源電圧監視装置1は、監視すべき電源電圧 V_{cc} が所定値より低いときに

それを示す電源電圧監視信号を出力端子OUTに出力する信号出力回路2と、電源電圧 V_{CC} を分割する直列接続の抵抗素子23、24と、基準電圧 V_{REF} を生成する基準電圧生成回路22と、直列接続の抵抗素子23、24の中間点の電圧が非反転入力端子に入力され、基準電圧生成回路22が生成する基準電圧 V_{REF} が反転入力端子に入力されてそれらを比較し、比較出力が信号出力回路2の入力信号とされる比較器25と、比較器25の出力に接続され、他端が接地されたプルダウン用抵抗素子26と、基準電圧生成回路22と比較器25の電源端に所定の定電圧 V_C を供給する定電圧生成回路21と、を備える。出力端子OUTの外部には、電源電圧監視信号を入力する他の電子回路(図示せず)が接続される。

- [0024] 信号出力回路2は、信号出力回路2の出力信号である電源電圧監視信号を出力端子OUTに出力するNPN型バイポーラトランジスタの出力トランジスタ10と、入力信号に応じてオン・オフし、オンしたとき出力トランジスタ10のベースの電位を降下させて出力トランジスタ10をオフし、オフしたとき出力トランジスタ10のベースの電位を上昇させて出力トランジスタ10をオンするN型MOSTランジスタの接地側出力制御トランジスタ11と、入力電源(電源電圧 V_{CC})から出力トランジスタ10のベースに電流を供給する抵抗のベース電流供給用抵抗素子12と、ベース電流供給用抵抗素子12と出力トランジスタ10のベースとの間に介装され、入力信号に応じて接地側出力制御トランジスタ11と逆にオン・オフするP型MOSTランジスタの電源側出力制御トランジスタ13と、入力信号に応じて接地側出力制御トランジスタ11と同様にオン・オフし、オンしたときベース電流供給用抵抗素子12の電流を流し込み、オフしたときベース電流供給用抵抗素子12の電流を流さないようにするN型MOSTランジスタの接地側電流バイパス用トランジスタ14と、接地側電流バイパス用トランジスタ14とベース電流供給用抵抗素子12との間に介装される抵抗の電流制限用抵抗素子15と、を主な構成要素として備える。更に、信号出力回路2は、接地側電流バイパス用トランジスタ14と電流制限用抵抗素子15との間の電圧を入力し、その電圧を反転して電源側出力制御トランジスタ13を制御する反転回路として、ベース電流供給用抵抗素子12と電流制限用抵抗素子15との間の節点から接地電位まで直列に接続されたP型MOSTランジスタ16とN型MOSTランジスタ17とを備える。更に、反転回路の出力、すなわちP

型MOSTランジスタ16とN型MOSTランジスタ17の接続点に接続される抵抗の第2の電流制限用抵抗素子18を備える。

[0025] 分割された電源電圧 V_{cc} の電圧(直列接続の抵抗素子23、24の中間点の電圧)が基準電圧 V_{REF} よりも低ければ、比較器25は比較出力としてローレベルを信号出力回路2に出力し、これにより接地側出力制御トランジスタ11はオフとなる。それと同時に接地側電流バイパス用トランジスタ14もオフとなり、それと電流制限用抵抗素子15との間の電圧は上昇してN型MOSTランジスタ17はオンとなる。一方、電流制限用抵抗素子15に電流は流れず、その両端には電圧は生じないので、P型MOSTランジスタ16はオフとなる。よって、P型MOSTランジスタ16とN型MOSTランジスタ17の接続点の電圧はローレベルになり電源側出力制御トランジスタ13はオンとなる。従って、ベース電流供給用抵抗素子12に流れる電流 I_1 は全て出力トランジスタ10のベース電流となる。ここで、ベース電流供給用抵抗素子12の抵抗値を R_1 とすると、電流 I_1 は、ほぼ V_{cc}/R_1 の電流値となる。その結果、このベース電流を電流増幅率(h_{FE})倍した出力電流 I_o が出力トランジスタ10に流れる。出力電流 I_o は出力端子OUTを介して電源電圧監視信号として流れ、出力電流 I_o により他の電子回路(図示せず)の入力電圧は接地側に降下する。

[0026] 分割された電源電圧 V_{cc} の電圧が基準電圧 V_{REF} よりも高ければ、比較器25は比較出力として信号出力回路2にハイレベルを出力し、これにより接地側出力制御トランジスタ11はオンとなる。それと同時に接地側電流バイパス用トランジスタ14もオンとなり、それと電流制限用抵抗素子15との間の電圧は接地電位レベルになりN型MOSTランジスタ17はオフとなる。一方、電流制限用抵抗素子15に電流が流れ、P型MOSTランジスタ16はオンとなる。よって、P型MOSTランジスタ16とN型MOSTランジスタ17の接続点の電圧はハイレベルになり、電源側出力制御トランジスタ13はオフになると共に、第2の電流制限用抵抗素子18に電流が流れる。こうして、接地側出力制御トランジスタ11が出力トランジスタ10のベースの電位を降下させて出力トランジスタ10をオフにして電源電圧監視信号としての出力電流 I_o を停止させる一方、ベース電流供給用抵抗素子12に流れる電流 I_1 は、電流制限用抵抗素子15を流れる電流 I_2 と第2の電流制限用抵抗素子18を流れる電流 I_3 に分流する。ここで、ベース電流供給

用抵抗素子12の抵抗値を R_1 、電流制限用抵抗素子15の抵抗値を R_2 、第2の電流制限用抵抗素子18の抵抗値を R_3 、とすると、電流 I_1 は、ほぼ $V_{cc} / (R_1 + (R_2 R_3) / (R_2 + R_3))$ の電流値となる。

[0027] ベース電流供給用抵抗素子12の抵抗値 R_1 は、出力トランジスタ10がオンのときの出力電流 I_o の値を考慮して決められる。一方、電流制限用抵抗素子15及び第2の電流制限用抵抗素子18の抵抗値 R_2 、 R_3 は、電源側出力制御トランジスタ13及びP型MOSTランジスタ16の素子耐圧を考慮して決められる。すなわち、通常のMOSTランジスタの耐圧は大体10V乃至15V程度であるので、電源電圧 V_{cc} がそれよりも高い場合、トランジスタ素子(電源側出力制御トランジスタ13及びP型MOSTランジスタ16)にかかる電圧がその耐圧以下になるようベース電流供給用抵抗素子12に電流を流して電圧降下を起こさせる。具体的には、トランジスタ素子耐圧を15Vとし、入力する電源電圧 V_{cc} が30Vまで上昇する場合、抵抗値 R_2 、 R_3 を共に抵抗値 R_1 の2倍にすれば、出力トランジスタ10がオフのときに素子にかかる電圧を15Vに抑えることができる。

[0028] 従って、例えばベース電流供給用抵抗素子12の抵抗値を1M Ω の抵抗値とし、電流制限用抵抗素子15及び第2の電流制限用抵抗素子18の抵抗値 R_2 、 R_3 を2M Ω とすれば、電源電圧 V_{cc} が30Vであり出力トランジスタ10がオフであると、ベース電流供給用抵抗素子12に流れる電流 I_1 は15 μ Aとなる。こうして、出力トランジスタ10がオフのときのベース電流供給用抵抗素子12に流れる無駄な電流 I_1 を減少させることができ、信号出力回路2及び電源電圧監視装置1全体の消費電流を低減させることができる。

[0029] なお、第2の電流制限用抵抗素子18は、電源電圧 V_{cc} が投入される起動時に電源側出力制御トランジスタ13の制御が不安定になるのを防止するために、付加されるのが望ましいが、省略することも可能である。この場合、電流制限用抵抗素子15の抵抗値 R_2 は、トランジスタ素子耐圧を考慮して下げる(例えば1M Ω にする)必要がある。

[0030] また、信号出力回路2の入力信号のハイレベル電圧(すなわち定電圧生成回路21が供給する定電圧 V_c)が、出力トランジスタ10がオフの場合に、電源側出力制御トラ

ンジスタ13をオフにさせるに十分な電圧であれば、信号出力回路2の入力信号を直接電源側出力制御トランジスタ13に入力することも可能である。この場合、電流制限用抵抗素子15の抵抗値 R_2 を更に下げる必要があり、出力トランジスタ10がオフのときのベース電流供給用抵抗素子12に流れる無駄な電流 I_1 は多少増えるが、P型MOSTトランジスタ16とN型MOSTトランジスタ17とからなる反転回路及び第2の電流制限用抵抗素子18は不必要となる。

[0031] また、本発明の実施形態である信号出力回路2は、電源電圧監視装置1に好適なものとして案出したものであるが、出力段の電源電圧 V_{cc} が比較的高くかつNPN型バイポーラトランジスタで出力を行う、例えばモータドライブ装置などの信号出力に用いることも可能である。

[0032] なお、本発明は、上述した実施形態に限られることなく、特許請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。

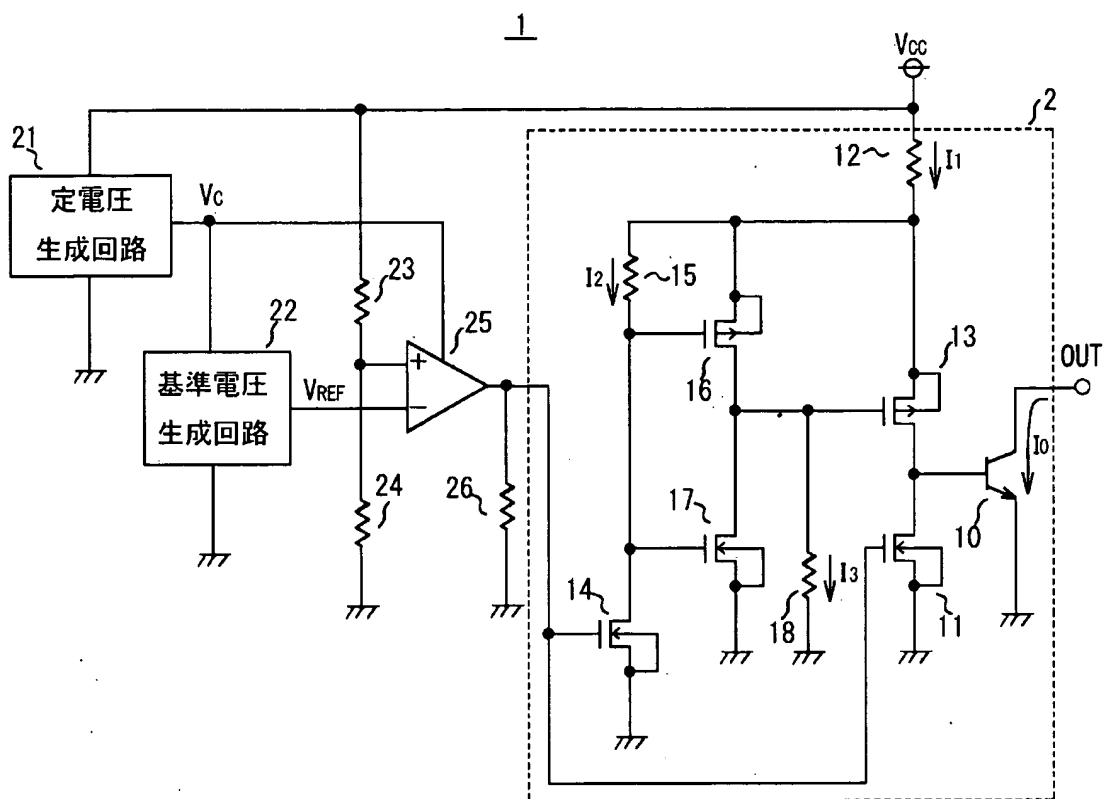
請求の範囲

- [1] 出力信号を出力するNPN型バイポーラトランジスタの出力トランジスタと、
入力信号に応じてオン・オフし、オンしたとき出力トランジスタのベースの電位を降下させて出力トランジスタをオフし、オフしたとき出力トランジスタのベースの電位を上昇させて出力トランジスタをオンする接地側出力制御トランジスタと、
入力電源から出力トランジスタのベースに電流を供給するベース電流供給用抵抗素子と、
ベース電流供給用抵抗素子と出力トランジスタのベースとの間に介装され、入力信号に応じて接地側出力制御トランジスタと逆にオフ・オンする電源側出力制御トランジスタと、
入力信号に応じて接地側出力制御トランジスタと同様にオン・オフし、オンしたときベース電流供給用抵抗素子の電流を流し込み、オフしたときベース電流供給用抵抗素子の電流を流さないようにする接地側電流バイパス用トランジスタと、
接地側電流バイパス用トランジスタとベース電流供給用抵抗素子との間に介装される電流制限用抵抗素子と、
を備えてなることを特徴とする信号出力回路。
- [2] 請求項1に記載の信号出力回路において、
接地側電流バイパス用トランジスタと電流制限用抵抗素子との間の電圧を入力し、その電圧を反転して電源側出力制御トランジスタを制御する反転回路を更に備えてなることを特徴とする信号出力回路。
- [3] 請求項2に記載の信号出力回路において、
前記反転回路の出力に接続される第2の電流制限用抵抗素子を更に備えてなることを特徴とする信号出力回路。
- [4] 請求項1乃至3のいずれかに記載の信号出力回路において、
接地側出力制御トランジスタと電源側出力制御トランジスタと接地側電流バイパス用トランジスタとはMOSTランジスタであることを特徴とする信号出力回路。
- [5] 請求項1乃至4のいずれかに記載の信号出力回路において、
ベース電流供給用抵抗素子と電流制限用抵抗素子と第2の電流制限用抵抗素子

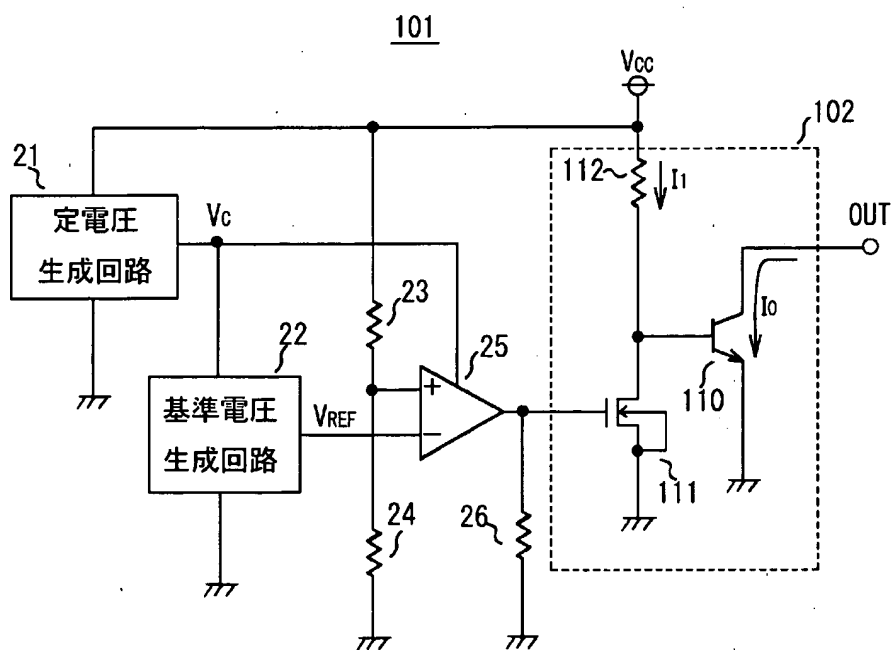
とは抵抗であることを特徴とする信号出力回路。

- [6] 請求項1乃至5のいずれかに記載の信号出力回路を有する電源電圧監視装置であって、
- 電源電圧を分割する直列接続の抵抗素子と、
- 基準電圧を生成する基準電圧生成回路と、
- 前記直列接続の抵抗素子の中間点の電圧と前記基準電圧生成回路が生成する基準電圧とを比較し、比較出力が信号出力回路の入力信号とされる比較器と、
- を備え、信号出力回路の出力信号を電源電圧監視信号として出力することを特徴とする電源電圧監視装置。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018997

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03K17/22, 19/082

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03K17/00-17/70, 19/00-19/096

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-191238 A (Omron Corp.), 23 July, 1996 (23.07.96), Par. Nos. [0029] to [0036]; Figs. 5, 6 Par. Nos. [0003] to [0007]; Fig. 1 (Family: none)	1-6
A	JP 04-245470 A (NEC Corp., NEC Niigata, Ltd.), 02 September, 1992 (02.09.92), Par. Nos. [0009] to [0019]; Figs. 1, 2 & US 5323063 A	1-6
A	JP 09-213893 A (NEC Corp.), 15 August, 1997 (15.08.97), Par. Nos. [0002] to [0015]; Figs. 6 to 8 & EP 789398 A2	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "B" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 January, 2005 (18.01.05)

Date of mailing of the international search report
01 February, 2005 (01.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018997

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 04-004608 A (Sharp Corp.), 09 January, 1992 (09.01.92), Page 1, lower right column, line 6 to page 2, upper left column, line 11; Fig. 2 (Family: none)	1-6
A	JP 09-036719 A (Toshiba Micro-Electronics Corp., Toshiba Corp.), 07 February, 1997 (07.02.97), Par. Nos. [0007] to [0009]; Figs. 5, 6 (Family: none)	1-6
A	JP 11-220370 A (Oki Micro Design Miyazaki Co., Ltd., Oki Electric Industry Co., Ltd.), 10 August, 1999 (10.08.99), Par. Nos. [0017] to [0033]; Figs. 1, 2 & US 2002/0000852 A1	1-6
A	JP 02-238712 A (Toshiba Corp., Toshiba Micro-Electronics Corp.), 21 September, 1990 (21.09.90), Page 3, lower left column, line 7 to page 4, upper left column, line 11; Fig. 2; page 4, lower left column, line 18 to page 5, upper left column, line 8; Fig. 6 & EP 387792 A1	1-6
A	JP 04-321315 A (NEC Corp.), 11 November, 1992 (11.11.92) Par. Nos. [0002], [0003]; Fig. 5 & US 5214316 A	6
A	JP 06-188707 A (Toshiba Corp.), 08 July, 1994 (08.07.94), Par. No. [0002]; Fig. 5 (Family: none)	6

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 'Int. Cl' H03K 17/22
 19/082

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H03K 17/00-17/70
 19/00-19/096

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 08-191238 A (オムロン株式会社) 1996. 07. 23 段落【0029】～【0036】、図5及び6 段落【0003】～【0007】、図1 参照 (ファミリーなし)	1～6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

18. 01. 2005

国際調査報告の発送日

01. 2. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5X

3363

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 04-245470 A (日本電気株式会社、新潟日本電気株式会社) 1992. 09. 02 段落【0009】～【0019】、図1及び2 参照 & US 5323063 A	1～6
A	JP 09-213893 A (日本電気株式会社) 1997. 08. 15 段落【0002】～【0015】、図6～8 参照 & EP 789398 A2	1～6
A	JP 04-004608 A (シャープ株式会社) 1992. 01. 09 第1頁右下欄第6行～第2頁左上欄第11行、第2図 参照 (ファミリーなし)	1～6
A	JP 09-036719 A (東芝マイクロエレクトロニクス株式会社、株式会社東芝) 1997. 02. 07 段落【0007】～【0009】、図5及び6 参照 (ファミリーなし)	1～6
A	JP 11-220370 A (株式会社沖マイクロデザイン宮崎、沖電気工業株式会社) 1999. 08. 10 段落【0017】～【0033】、図1及び2 参照 & US 2002/0000852 A1	1～6
A	JP 02-238712 A (株式会社東芝、東芝マイクロエレクトロニクス株式会社) 1990. 09. 21 第3頁左下欄第7行～第4頁左上欄第11行、第2図 第4頁左下欄第18行～第5頁左上欄第8行、第6図 参照 & EP 387792 A1	1～6
A	JP 04-321315 A (日本電気株式会社) 1992. 11. 11 段落【0002】及び【0003】、図5 参照 & US 5214316 A	6
A	JP 06-188707 A (株式会社東芝) 1994. 07. 08 段落【0002】及び図5 参照 (ファミリーなし)	6